

**THIS PAGE IS INSERTED BY OIPE SCANNING  
AND IS NOT PART OF THE OFFICIAL RECORD**

### **Best Available Images**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

**BLACK BORDERS**

**TEXT CUT OFF AT TOP, BOTTOM OR SIDES**

**FADED TEXT**

**BLURRY OR ILLEGIBLE TEXT**

**SKEWED/SLANTED IMAGES**

**COLORED PHOTOS HAVE BEEN RENDERED INTO BLACK AND WHITE**

**VERY DARK BLACK AND WHITE PHOTOS**

**UNDECIPHERABLE GRAY SCALE DOCUMENTS**

**IMAGES ARE THE BEST AVAILABLE  
COPY. AS RESCANNING *WILL NOT*  
CORRECT IMAGES, PLEASE DO NOT  
REPORT THE IMAGES TO THE  
PROBLEM IMAGE BOX.**



|                |                       |                  |           |
|----------------|-----------------------|------------------|-----------|
| Patent         |                       |                  |           |
| Patent No      | 383460                | Publication Date | 2000/3/1  |
| Application No | 87102006              | Filing Date      | 1998/2/13 |
| Title          | Dual damascene method |                  |           |
| IPC            | H01L21/768            |                  |           |

|   |  |
|---|--|
| Author / Inventor                           |  |
| LIN, SZ-MIN (TW ) : JAU, FANG-CHING (TW ) : |  |

|                              |         |                    |  |
|------------------------------|---------|--------------------|--|
| Applicant                    |         |                    |  |
| Name                         | Country | Individual/Company |  |
| UNITED MICROELECTRONICS CORP | TW      | Company            |  |

|  |  |
|--|--|
| Patent Abstract  |  |
| <p>A kind of dual damascene method is as follows: to cover a layer of photoresist on the dielectric and employ the mask for exposure in which the mask comprises three parts, i.e. opaque area, partly transparent area and transparent area; proceeding developing process after exposure, the photoresist in the transparent area is completely removed to expose the dielectric surface and the photoresist of partly transparent area is partly removed, and the photoresist of opaque area is completely reserved; then, applying etching to remove part of the photoresist and dielectric, at the same time, forming trench and dielectric hole in the dielectric layer and be filled in the following step to complete the manufacturing of dual damascene.</p> |  |

**BACK**



## 公告本

383460

|      |            |
|------|------------|
| 申請日期 | F 870213   |
| 案 號  | 87103006   |
| 類 別  | H01L 21/48 |

A4  
C4

(以上各欄由本局填註)

383460

## 發明專利說明書

|              |               |  |
|--------------|---------------|--|
| 一、發明<br>新型名稱 | 中 文           | 雙重金屬鑲嵌的方法                                |
|              | 英 文           |  |
| 二、發明<br>創作人  | 姓 名           | 1 林思閔<br>2 趙芳慶                           |
|              | 國 籍           | 中華民國                                     |
| 三、申請人        | 住、居所          | 1 嘉義市東區啓明路 55 巷 9 號<br>2 新竹市東山街 55 號 4 樓 |
|              | 姓 名<br>(名稱)   | 聯華電子股份有限公司                               |
| 三、申請人        | 國 籍           | 中華民國                                     |
|              | 住、居所<br>(事務所) | 新竹科學工業園區新竹市力行二路三號                        |
| 三、申請人        | 代 表 人<br>姓 名  | 曹興誠                                      |

## 四、中文發明摘要(發明之名稱： 雙重金屬鑲嵌的方法 )

一種雙重金屬鑲嵌的方法，在介電層上覆蓋一層光阻層，利用罩幕進行曝光，其中此罩幕包括三部分，不透光區、部分透光區及透光區；曝光後進行顯影的步驟，透光區的光阻層被完全移除暴露出介電層之表面，部分透光區之光阻層部分被移除，而不透光區之光阻層則完全被保留下來。接著，進行蝕刻去除部分光阻層與介電層，同時在介電層中形成溝渠與介層洞，並於後續步驟填入金屬，已完成雙重金屬鑲嵌的製程。

英文發明摘要(發明之名稱： )

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( )

本發明是有關於一種雙重金屬鑲嵌的方法，且特別是有關於一種可應用在較深的介層洞，與較窄金屬內連線上的製造方法。

當積體電路的積集度增加，其所需的金屬內連線(interconnect)數目也跟著增加，因此兩層以上的金屬層設計，便逐漸成為許多積體電路所必須採用的方法。當積體電路的積集度持續增加，對於製造良率佳，以及可靠度好的金屬內連線的困難度也會增加；金屬鑲嵌(Damascence)法係一種在介電層中先蝕刻出金屬內連線的溝渠，再填入金屬當作內連線的方法，此法可以滿足製程中對高可靠度及高良率內連線的要求，所以此法將成為在深次微米(Sub-Quarter Micron)中內連線製造方法的最佳選擇。

習知的金屬鑲嵌技術有一些問題存在，例如：需要用到兩道微影蝕刻步驟，應用到兩個罩幕會有對準上的問題，且製程步驟較為複雜，所需成本較高。

第 1A 圖至第 1C 圖是習知的雙重金屬鑲嵌方法的一種結構剖面示意圖。請參照第 1A 圖，在具一欲接導線區域 10 的基底 11 上，沈積一二氧化矽層 12，欲接導線區域可能為金屬或金屬矽化物。再進行介層洞的微影製程與蝕刻，形成一介層洞 13 連往欲接導線的區域 10。

請參照第 1B 圖，接著進行反相(Reverse)金屬的微影製程與蝕刻，形成金屬內連線的溝渠 14,15；待蝕刻完成後，將金屬 16 沈積填充在介層洞 13 與溝渠 14,15 內，再利用化學機械研磨的製程將表面的多餘金屬磨去，即形成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( > )

如第 1C 圖所示之結構剖面示意圖。

第 2A 圖與第 2B 圖是習知的另一種雙重金屬鑲嵌方法的結構示意圖。為改善沒有阻擋層防止過度蝕刻的缺點，習知的另一種雙重金屬鑲嵌方法，係在氧化層中間加上一層氮化矽做為阻擋層。

請參照第 2A 圖，在欲接導線區域 21 的基底 22 上，沈積一第一氧化層 23；在氧化層 23 上形成一具介層洞開口 24 的氮化矽層 25，形成如第 2A 圖所示之結構。

請參照第 2B 圖，在氮化矽層 25 上沈積一第二氧化層 26，再進行金屬溝渠微影蝕刻的步驟。由於中間有氮化矽層 25 阻擋，所以蝕刻形成溝渠 27,28 後，便不會繼續向下蝕刻，而在欲接導線的區域 21 上方之氮化矽層 25 有一介層洞開口，會使得蝕刻繼續進行，而形成介層洞 29，如第 2B 圖所示。利用金屬沈積將溝渠 27,28 與介層洞 29 填滿後，進行化學機械研磨去除表面多餘的金屬，即可繼續後續製程。

此一方法雖然可以控制溝渠的深度，但仍有問題存在。第一個問題是，用來阻擋蝕刻的氮化矽有很大的介電常數 K 值，會增加金屬內連線間的寄生電容 (Parasitic Capacitance)，而且所用的蝕刻劑必須對氮化矽 / 二氧化矽有很高的選擇性。另一個問題就是製程窗較窄，在進行微影蝕刻時，若光罩沒對準而產生偏移時，那麼蝕刻的區域也會移動。

如第 3 圖所示，在具一欲接導線區域 30 的基底 31 上，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明(→)

依序形成第一氧化層 32、具介層洞開口的氮化矽層 33 與第二氧化層 34，進行微影蝕刻步驟，此時光罩位置略微向右偏移，溝渠 35 的寬度沒變，但蝕刻區域改變使得介層洞 36 變窄，當填入金屬時，金屬與欲接導線區域接觸的面積變小，接觸面積變小會使導線間的接觸電阻升高，這並非製程所願意見到的，所以此方法之其製程窗較窄，亦即製程進行時困難度較高。

因此，本發明的主要目的就是在提供一種雙重金屬鑲嵌的方法，此方法只需要一道微影蝕刻步驟，不會有習知使用兩道罩幕會有對準上的困難，且簡化了製程步驟，大量的降低了製作成本。

根據本發明的上述及其他目的，提出一種雙重金屬鑲嵌的方法，此方法之簡述如下：在半導體基底上形成若干元件，接著形成一層介電層覆蓋在元件與半導體基底上。在介電層上覆蓋一層光阻層，利用罩幕進行曝光，其中此罩幕包括三部分，不透光區、部分透光區及透光區；曝光後進行顯影的步驟，透光區的光阻層被完全移除暴露出介電層之表面，部分透光區之光阻層部分被移除，而不透光區之光阻層則完全被保留下來。以曝光後的光阻層對介電層進行非等向性蝕刻，由於光阻層與介電層的蝕刻率接近，所以蝕刻介電層時亦會去除部分光阻層，完全曝光區域的介電層會完全被移除，而形成介層洞連往元件；部分曝光的區域的介電層中則會形成溝渠，以此得以同時形成介層洞與溝渠的雙重金屬鑲嵌結構。

## 五、發明說明( 4 )

爲讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1A 圖至第 1C 圖是習知的雙重金屬鑲嵌方法的一種結構剖面示意圖；

第 2A 圖與第 2B 圖是習知的另一種雙重金屬鑲嵌方法的結構示意圖；

第 3 圖爲利用習知一種雙重金屬鑲嵌方法產生罩幕位移的元件結構剖面繪示圖；以及

第 4A 圖至第 4E 圖繪示依照本發明一較佳實施例中，雙重金屬鑲嵌的流程結構剖面圖。

圖示標記說明：

10, 21, 30 欲接導線區域

11, 22, 31 基底

12 二氧化矽層

13, 29, 36 介層洞

14, 15, 27, 28, 35 溝渠

16 金屬

23, 32 第一二氧化矽層

24 開口

25, 33 氮化矽層

26, 34 第二二氧化矽層

400 半導體基底

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 5 )

402 元件

404 介電層

406, 406' 光阻層

408 透光區

410 不透光區

412 部分透光區

414 罩幕(透光區+不透光區+部分透光區)

416 孔洞

418 凹槽

420 孔洞與凹槽的結合圖案

416' 介層洞

418' 溝渠

420' 介層洞與凹槽的輪廓

422 導電層

### 實施例

第 4A 圖至第 4E 圖，其繪示依照本發明一較佳實施例，雙重金屬鑲嵌的流程結構剖面圖。

首先，請參照第 4A 圖，在半導體基底 400 上形成若干個元件 402，並覆蓋上一層介電層 404；其中半導體基底 400 比如已形成第一層的內連線結構，元件 402 可能為定義的導線，形成於具有平坦效果的硼磷矽化玻璃(BPSG)上。

接著，請參照第 4B 圖，形成一層光阻層 406 於介電層 404 上，利用具有透光區 408、不透光區 410 及部分透光區 412 組成的罩幕 414，對光阻層 406 進行曝光的動作；

## 五、發明說明(6)

其中不透光區 410 的材質比如為鉻金屬，部分透光區 412 的材質比如氧化鉻 CrO、氮氧化矽 SiON、矽化鉬 MoSi 等容許光線部分透過的材料。曝光後進行顯影，在透光區 408 下方的光阻層 406 會完全被移除，形成孔洞 416 暴露出介電層 404 在該處的上方表面；位於部分透光區 412 下方的光阻層 406 則會有一部份被去除，而在光阻層 406 間形成凹槽 418；在不透光區 410 下方的光阻層 406 則不受光線影響，故顯影後仍會保留下來；利用透光區 408 與部分透光區 412 的組合，可在光阻層 406 間形成凹槽與孔洞的結合圖案 420。

之後，請參照第 4C 圖，移除罩幕 414，以顯影後的光阻層 406 提供罩幕的功能，對介電層 404 進行蝕刻步驟，此蝕刻步驟比如非等向性乾蝕刻；其中蝕刻反應劑對於光阻層 406 與介電層 404 的蝕刻選擇率並不高，亦即光阻層 406 的蝕刻率與介電層 404 的蝕刻率相近。所以在蝕刻介電層 404 的同時，光阻層 406 也會被蝕刻到，對應於光阻層 406 的孔洞 416 處的介電層會完全被移除，形成一介層洞 416' 連往元件 402。對應於光阻層 406 凹槽 418 處的介電層由於上方還有較薄的光阻層 406 覆蓋，所以在蝕刻時僅會被部分移除，而在介電層 404 中形成溝渠 418'。另外透過凹槽與孔洞的結合圖案 420 進行蝕刻，會在介電層 406 中同時形成介層洞與溝渠的輪廓 420'。蝕刻過程會使光阻材料被部分移除，而殘留較薄的光阻層 406' 於介電層 404 上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 7 )

接著，請參照第 4D 圖，於蝕刻完成後去除剩餘的光阻層 406'，以暴露出介電層 404。然後形成一層導電層 422 於介電層 404 上，導電層 422 的材質比如金屬，例如鋁、銅、鋁銅和金等。

之後，請參照第 4E 圖，去除部分導電層 422，去除的方法比如化學機械研磨法(CMP)，以暴露出介電層 404 並得到一平坦的表面，並將導電材料填充在溝渠與介層洞 416'、418'、420'內。

因此，本發明的特徵是提供一種雙重金屬鑲嵌的方法，僅使用到一道微影製程的步驟，利用罩幕上不同的透光度，使光阻層達到不同的曝光程度，藉以同時形成溝渠及介層洞。本發明僅使用到一罩幕，大大的簡化了製程的步驟與複雜性，對於降低生產成本也有相當大的幫助。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

1. 一種雙重金屬鑲嵌的方法，包括下列步驟：

提供一半導體基底，其中該半導體基底上已設有複數個元件，以及一介電層覆蓋於該些元件上；

形成一光阻層於該介電層上；

透過一罩幕進行該光阻層之曝光；

去除部分該光阻層與部分該介電層，以形成至少一溝渠與一介層洞，其中該介層洞係連往該些元件區之其一；

去除該介電層上剩餘之光阻層；

形成一導電層於該溝渠、該介層洞與該介電層上；以及

去除部分該導電層至暴露出部分該介電層之表面為止。

2. 如申請專利範圍第 1 項所述之方法，其中該光阻層與該介電層之蝕刻率接近。

3. 如申請專利範圍第 1 項所述之方法，其中該罩幕包括一透光區、一部分透光區及一不透光區。

4. 如申請專利範圍第 3 項所述之方法，其中該罩幕之該不透光區係為鉻金屬。

5. 如申請專利範圍第 3 項所述之方法，其中該罩幕之該部分透光區係為氮氧化矽。

6. 如申請專利範圍第 3 項所述之方法，其中該罩幕之該部分透光區係為氧化鉻。

7. 如申請專利範圍第 3 項所述之方法，其中該罩幕之該部分透光區係為矽氧化鉻。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

8.如申請專利範圍第 1 項所述之方法，其中形成該介層洞與該溝渠之方法係為非等向性蝕刻法。

9.如申請專利範圍第 1 項所述之方法，其中該導電層為一金屬。

10.如申請專利範圍第 1 項所述之方法，其中去除部分該導電層之步驟係以化學機械研磨法進行。

11.一種雙重金屬鑲嵌的方法，包括下列步驟：

提供一半導體基底；

形成複數個元件於該半導體基底上；

形成一介電層於該些元件與該半導體基底上；

形成一光阻層於該介電層上；

透過一罩幕對該光阻層進行曝光，其中該罩幕上有一透光區、一部份透光區及一不透光區；

進行顯影步驟，該光阻層之一第一區域被完全移除，暴露出部分該介電層之表面，該光阻層之一第二區域被部分移除，該光阻層之一第三區域則不受影響；

透過該光阻層進行蝕刻，去除部分該介電層，同時形成至少一介層洞連往該些元件區之其一，及至少形成一溝渠於該介電層中；

去除該介電層上剩餘之該光阻層；

形成一導電層於該介層洞與該溝渠內及該介電層上；  
以及

去除部分該導電層至暴露出部分該介電層之表面為止。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

12.如申請專利範圍第 11 項所述之方法，其中該光阻層與該介電層之蝕刻率相近。

13.如申請專利範圍第 11 項所述之方法，其中該罩幕之該不透光區係為鉻金屬。

14.如申請專利範圍第 11 項所述之方法，其中該罩幕之該部分透光區係為氮氧化矽。

15.如申請專利範圍第 11 項所述之方法，其中該罩幕之該部分透光區係為氧化鉻。

16.如申請專利範圍第 11 項所述之方法，其中該罩幕之該部分透光區係為矽氧化鉻。

17.如申請專利範圍第 11 項所述之方法，其中形成該介層洞與該溝渠的方法係為非等向性蝕刻法。

18.如申請專利範圍第 11 項所述之方法，其中該導電層為一金屬層。

19.如申請專利範圍第 11 項所述之方法，其中去除部分該導電層之步驟係以化學機械研磨法進行。

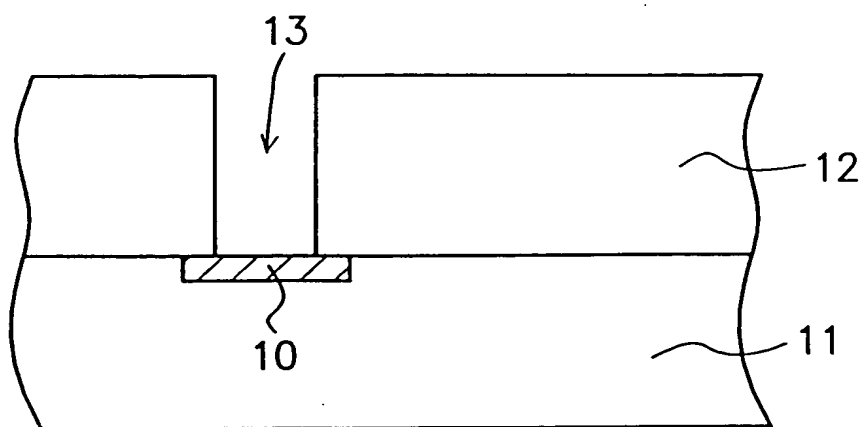
(請先閱讀背面之注意事項再填寫本頁)

裝

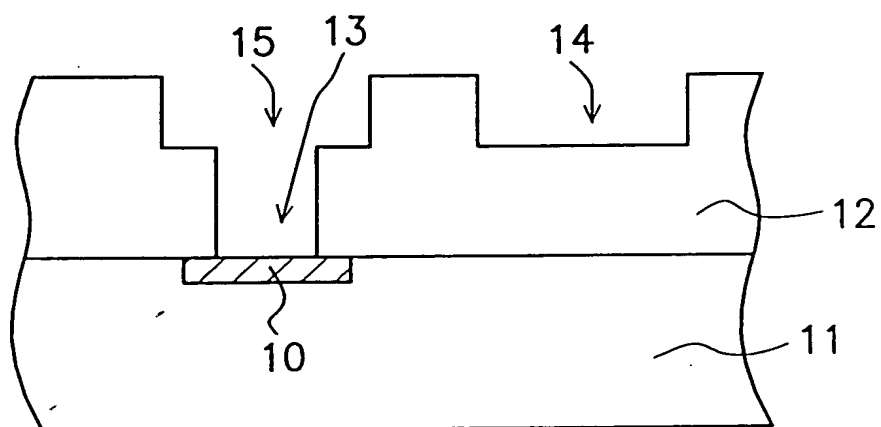
訂

線

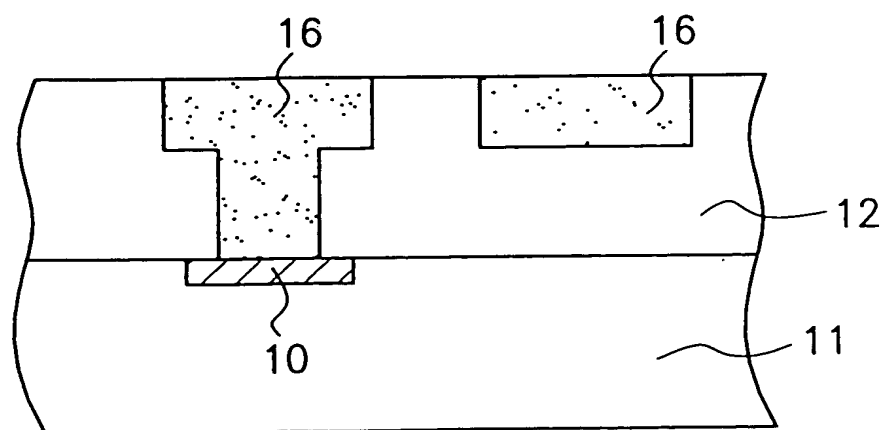




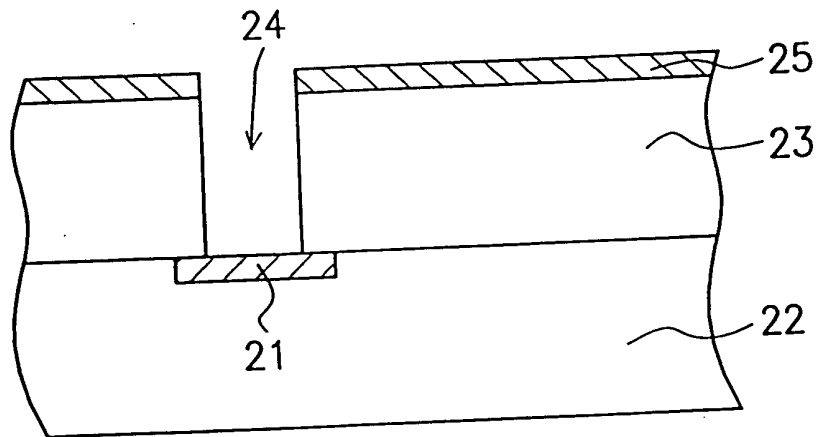
第 1A 圖



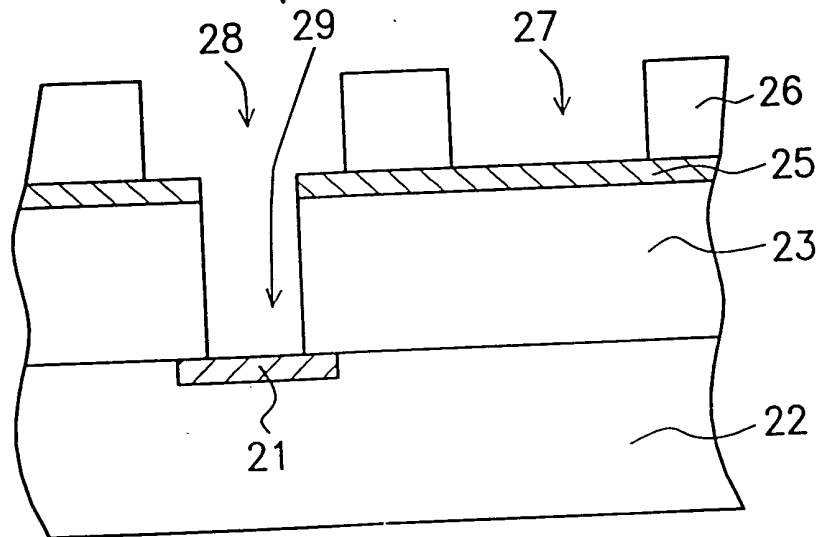
第 1B 圖



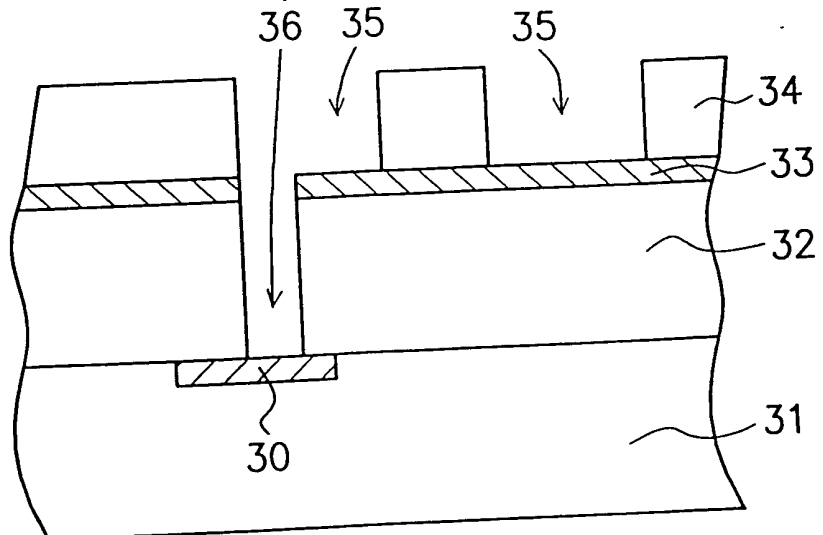
第 1C 圖



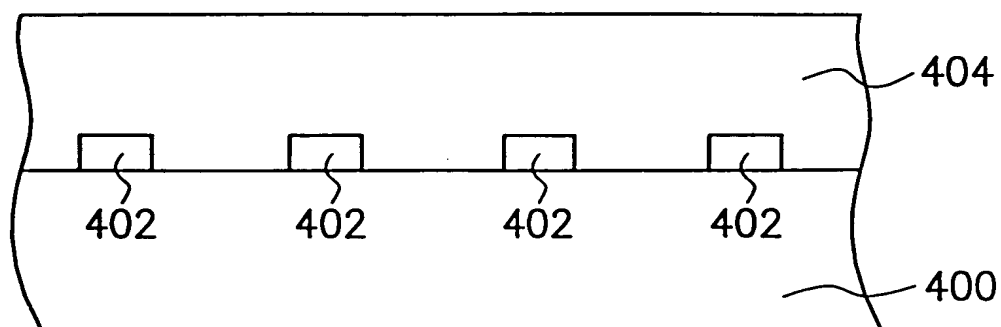
第2A圖



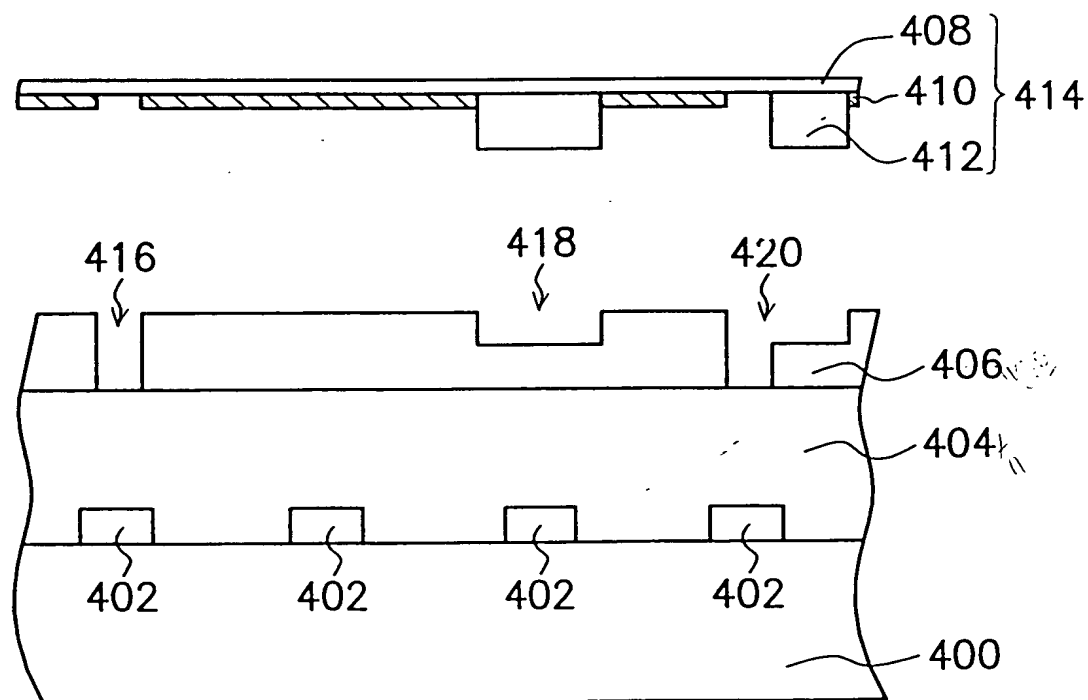
第2B圖



第3圖

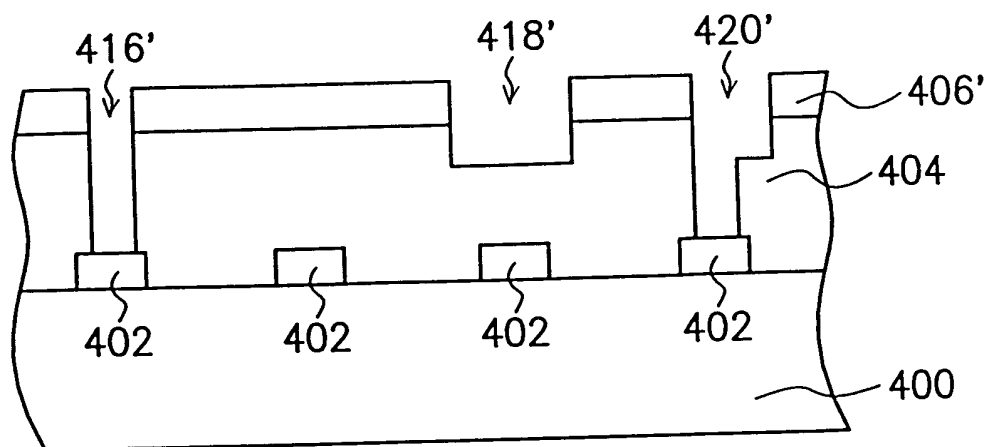


第 4A 圖

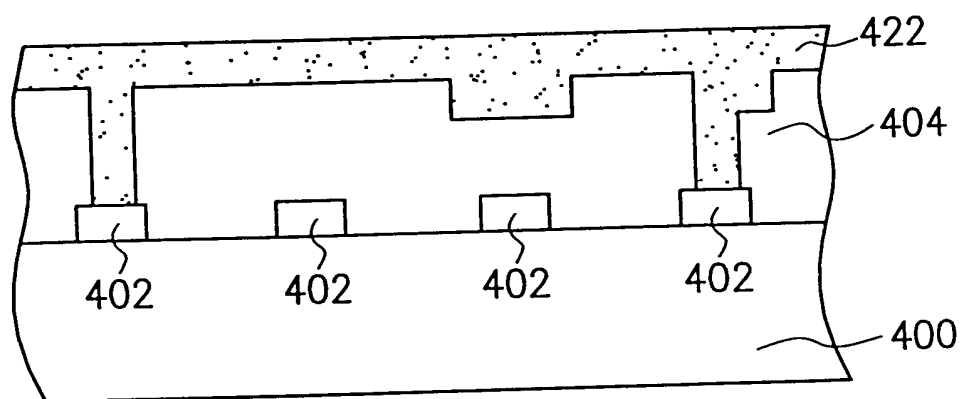


第 4B 圖

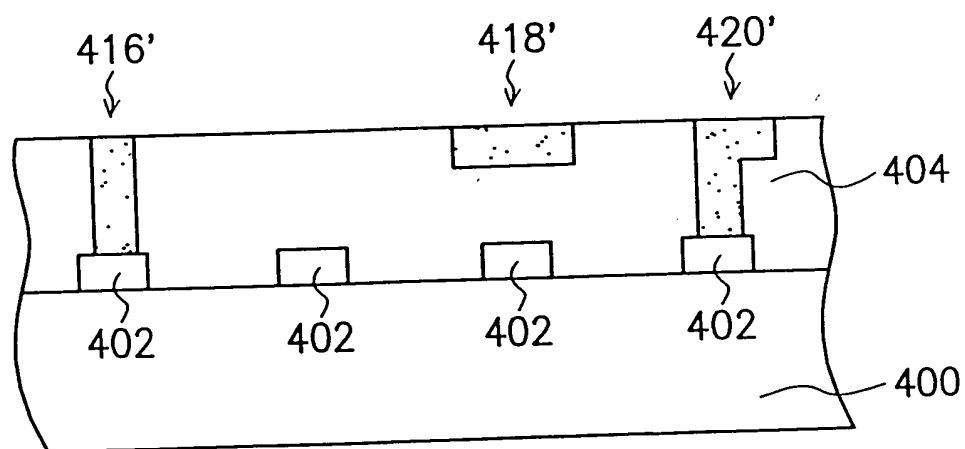
2500TW



第4C圖



第4D圖



第4E圖

**ABSTRACT OF TW PATENT PUB.No.368732**

The invention discloses a method of fabricating a dual damascene structure to reduce the steps of photolithography and increase precision. The method of fabricating a dual damascene structure comprises a substrate having a dielectric insulation layer is provided, this dielectric insulation layer includes a first dielectric layer, a second dielectric layer and a middle dielectric layer. Then, two photoresist layers and a soluble anti-reflective coating between them are deposited on the dielectric insulation layer. Then, use single photolithography process and dry etching to complete the dual damascene structure. The process includes: defining an interconnect pattern in the second photoresist; defining a via pattern in the first photoresist layer; the interconnect pattern is transferrd into the first dielectric layer by using dry etching twice and the via pattern is transferrd into the second dielectric layer at the same time; and finally, remove photoresist layers and fill the connected and the via patterns with metal to complete the dual damascene structure.

